

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication number: 1020010028836 A
(43) Publication date: 06.04.2001

(21) Application number: 1019990041311

(22) Application date: 27.09.1999

(71) Applicant:

- SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

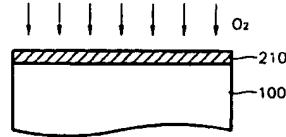
- WON, SEOK JUN
- YOO, CHA YEONG

(51) Int. Cl: H01L 21/8242

(54) METHOD FOR MANUFACTURING CAPACITOR OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for manufacturing a capacitor of a semiconductor device is provided to form a uniform dielectric layer on a storage electrode by performing an annealing process in an oxygen atmosphere in manufacturing the capacitor of a metal-insulator-metal(MIM) structure.



CONSTITUTION: A lower electrode(100) is formed on a semiconductor substrate by using a conductive layer containing an aluminum element, a nitrogen element and another metal element other than the aluminum element. The lower electrode is annealed in an oxygen atmosphere to form an aluminum oxide layer(210) on the lower electrode by firstly using oxidation of the aluminum element contained in the conductive layer. A plate electrode is formed on the dielectric layer.

COPYRIGHT 2001 KIPO

Legal Status

No.	Receipt/Delivery No.	Receipt/Delivery Date	Document Title (KOR.)	Status (KOR.)
1	1-1-1999-0119293-61	1999.09.27	Patent Application (특허출원서)	Acceptance (수리)
2	4-1-2000-0106069-21	2000.08.09	Notification of change of applicant's information (출원인정보변경(경정)신고서)	Acceptance (수리)
3	4-1-2002-0039038-35	2002.04.30	Notification of change of applicant's information (출원인정보변경(경정)신고서)	Acceptance (수리)
4	4-1-2002-0079231-78	2002.10.11	Notification of change of applicant's information	Acceptance

			(출원인정보변경(경정)신고서)	(수리)
5	4-1-2003-0000806-26	2003.01.07	Notification of change of applicant's information (출원인정보변경(경정)신고서)	Acceptance (수리)
6	1-1-2003-5149288-60	2003.08.01	(대리인사임신고서)	Acceptance (수리)
7	4-1-2003-5079986-93	2003.12.02	Notification of change of applicant's information (출원인정보변경(경정)신고서)	Acceptance (수리)
8	1-1-2003-5239172-17	2003.12.15	(대리인사임신고서)	Acceptance (수리)
9	4-1-2005-5072608-11	2005.07.15	Notification of change of applicant's information (출원인정보변경(경정)신고서)	Acceptance (수리)
10	4-1-2005-5079334-14	2005.08.02	Notification of change of applicant's information (출원인정보변경(경정)신고서)	Acceptance (수리)

특2001-0028836

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(5) Int. Cl.
H01L 21/8242(11) 공개번호 특2001-0028836
(43) 공개일자 2001년04월06일

(21) 출원번호	10-1999-0041311
(22) 출원일자	1999년09월27일
(71) 출원인	삼성전자 주식회사, 윤종용 경기도 수원시 팔달구 패밀리3동 416
(72) 발명자	원석준 서울특별시 관악구 봉천7동 1603-25 유재영
(74) 대리인	경기도수원시권선구금곡동530번지 LG빌리지203동1302호 이영필, 정상빈, 박덕영

설명구성

(54) 반도체 장치의 커패시터 구조 제조 방법

요약

반도체 장치의 커패시터 제조 방법을 개시한다. 본 발명의 일 관점은 반도체 기판 상에 알루미늄 원소, 질소 원소 및 알루미늄이 아닌 다른 금속 원소를 함유하는 도전막으로 하부 전극을 형성한다. 하부 전극 상에 상부 전극을 형성한다. 하부 전극을 산소 분위기에서 열처리하여 도전막에 함유된 알루미늄의 우선적으로 산화를 이용하여 하부 전극과 상부 전극과의 계면에 알루미늄 산화물막을 형성한다.

도표도

도1

도2

도면의 간단한 설명

도 1 및 도 2는 본 발명의 제1실시예에 의한 반도체 장치의 커패시터 구조 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 3은 본 발명의 제2실시예에 의한 반도체 장치의 커패시터 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도이다.

도 4 및 도 5는 본 발명의 제3실시예에 의한 반도체 장치의 커패시터 구조 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 6 및 도 7은 본 발명의 제4실시예에 의한 반도체 장치의 커패시터 구조 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

<도면의 주요 부호에 대한 간략한 설명>

100: 하부 전극	210: 알루미늄 산화물막
230: 별도의 유전막	250: 금속막
300: 상부 전극	

도면의 상세한 설명

발명의 목적

발명의 속하는 기술분야 및 그 분야의 기술기술

본 발명은 반도체 장치 제조 방법에 관한 것으로, 특히, MIM(Metal-Insulator-Metal) 구조의 커패시터 (capacitor)를 제조하는 방법에 관한 것이다.

반도체 장치의 고집적화에 따라 높은 정전 용량의 커패시터가 요구되고 있다. 이를 해결하는 방안으로 MIM 구조의 커패시터가 제시되고 있다. 그러나 MIM 구조로 커패시터를 형성하는 경우 하부 전극에 금속 또는

금속 결합물막을 사용하고 있어, 유전막을 산소가 포함된 분위기에서 열처리할 경우 하부 전극이 불균일하게 산화되며, 리키(Leaky)한 룹질을 형성할 수 있다.

예를 들어, 티탈륨 결합물(TiN)과 실리콘 결합물(SiN)의 혼합물인 탄탈륨 실리콘 결합물(TaSiN)의 경우에, 대략 600°C 이상의 온도 조건으로 산소 분위기에 올려두면, 표면층에 미탄탈륨 오산화물(Ta₂O₅)의 막질이 형성되어 하부 전극과 유전막 구조가 이루어진다. 그러나, 이러한 전이 금속(transition metal)에 실리콘 O-첨가된 형태의 화합물의 경우, 산화 분위기에 노출되면, 표면에 실리콘 산화물(SiO₂)이나 미탄탈륨 오산화물 또는 탄탈륨 미산화물(Ta₂O₃) 등과 같은 열연 룹질의 상(phase)이 그다지 균일하게 형성되지 않아 산소의 막내로의 확산을 제어하기가 어렵다고 알려져 있다.

발명의 이론과 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, MIM 구조의 커파시터를 제조할 때 산소 분위기의 열처리를 이용하여 하부 전극 상에 균일하게 유전막을 형성할 수 있는 반도체 장치의 커파시터 제조 방법을 제공하는 데 있다.

발명의 구성 및 작동

상기의 기술적 과제를 달성하기 위한 본 발명의 일환은, 반도체 기판 상에 알루미늄 원소, 질소 원소 및 상기 알루미늄이 아닌 다른 금속 원소를 함유하는 도전막으로 하부 전극을 형성한다. 상기 하부 전극 상에 상부 전극을 형성한다. 상기 하부 전극을 산소 분위기에서 열처리하여 상기 도전막에 활유된 알루미늄의 우선적인 산화를 이용하여 상기 하부 전극과 상기 상부 전극과의 계면에 알루미늄 산화물막을 형성하는 단계를 포함한다.

상기 상부 전극을 형성하는 단계, 이전에 상기 알루미늄 산화물막과 상기 상부 전극의 계면에 별도의 유전막을 형성한다. 상기 알루미늄 산화물막을 형성하는 단계는 상기 하부 전극을 형성하는 단계 이후에 수행되거나 상기 별도의 유전막을 형성한다.

본 발명에 따르면, 하부 전극 상에 균일한 알루미늄 산화물막을 형성할 수 있어, 커파시터의 유전막을 균일하게 구현할 수 있다. 이에 따라, 커파시터의 정전 용량 증대를 구현할 수 있다.

미하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은, 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이다. 도면 상에서 둘째로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 막이 다른 막 또는 반도체 기판의 상에 있다라고 기재되는 경우에, 상기 어떤 막은 상기 다른 막 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 막이 개재되어질 수 있다.

도 1~내지 도 2는 본 발명의 제1실시예에 의한 반도체 장치의 커파시터 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 1은 하부 전극(100) 상에 알루미늄 산화물막(210)을 형성하는 단계를 개략적으로 나타낸다.

구체적으로, 트랜지스터(도시되지 않음) 등이 형성된 반도체 기판(도시되지 않음) 상에 증간 절연막(도시되지 않음) 등을 개재하여 하부 전극(100)을 형성한다. 이러한 하부 전극(100)은 TiAIN, TaAIN 또는 WAIN 등과 같이 전이 금속(transition metal)의 결합물에 Al이 첨가된 형태(즉, Al이 아닌 금속 원소 AI 및 원소(N)을 함유하는 도전막(이하 M-Al-N막)이라 한다)으로 형성된다. 예를 들어, 대략 500A 정도의 두께로 TiAIN막을 형성한다.

이러한 물질로 형성되는 도전막은 일반적으로 비정질상(amorphous phase)을 가지게 되어 비교적 우수한 내산화성을 가질 수 있다. 이러한 도전막은 TiN막 등이 펄립 구조(columnar structure)를 갖는 데 비해 비정질상을 가지므로 비정질상의 특성에 의해서 보다 우수한 내산화성을 나타낸다. 이와 같이 형성되는 도전막을 패팅하여 하부 전극(100)을 형성한다.

한편, 하부 전극(100)은 다음 구조로 형성될 수 있으며, 이때, 상기한 바와 같은 M-Al-N막은 최상층에 위치하는 것이 바람직하다. 예를 들어, 상기한 바와 같은 M-Al-N막을 형성하고, M-Al-N막의 하부막으로 텐스텐(W)막 또는 탄탈륨(Ta)막 등을 도입하여 하부 전극(100)을 다음 구조로 형성할 수 있다. 또는, M-Al-N막의 하부막으로 TiN, TaN 또는 W 등과 같은 금속 결합물로 이루어지는 막질이 도입될 수 있다. 또는, TaON 또는 TiON 등과 같은 금속 결합산화물로 이루어지는 막질 또는 도핑된 실리콘막 등이 도입될 수 있다.

이후에, 하부 전극(100)을 산소 분위기로 열처리한다. 예를 들어, 건조 산소(Dry O₂), 습한 산소(Wet O₂) 등을 이용하거나, 금속 열적 산화법(thermal oxidation) 등을 이용하여 하부 전극(100)을 열처리한다. 이때, 열처리 온도는 대략 500°C 내지 1000°C 정도의 온도가 적절하다. 이러한 열처리는 플라즈마 산소(plasma O₂), 또는 오존(O₃), 자외선 조사를 수반하는 오존 등을 이용하여 대략 200°C 내지 대략 800°C 정도의 온도로 열처리하는 공정으로 수행될 수 있다. 또는, 열거한 열처리들은 연계 조합하여 단단계로 열처리를 수행할 수 있다.

이러한 열처리에 의해서 하부 전극(100)의 표면은 산화된다. 산화는 표면으로부터 이루어지며, 슬럼프트로 하부 전극(100)을 이루는 원소 중의 하나인 Al이 우선적으로 산화된다. 이는 알루미늄이 산소와의 결합 경향이 다른 원소 예를 들어, Ta 또는 Ti 등에 비해 상대적으로 높기 때문이다.

일단, 하부 전극(100)의 표면에는 알루미늄 산화물(Al₂O₃)막(210)이 균일하게 형성되면, 알루미늄 산화물막

(210)의 특성에 의해서 다른 원소의 산화는 억제될 수 있다. 보다 상세하게 설명하면, 알루미늄 산화물막 (210)은 산소의 확산 또는 침입을 억제하는 특성을 가지고, 하부 전극(100)의 내부로의 산화의 전파를 억제하는 역할을 할 수 있다. 따라서 다른 금속 원소의 산화를 예컨대, TiO_x 또는 Ta_x 등의 산이 형성되는 것이 억제될 수 있다. 이에 따라 하부 전극(100)의 표면에는 알루미늄 산화물막(210)이 알고 굳밀하게 형성될 수 있다.

상기한 열처리는 상술한 바와 같이 하부 전극(100)의 표면에 알루미늄 산화물막(210)을 형성하기 위해서 수행되므로, 알루미늄 산화물막(210)의 결정화 온도 이하의 온도 조건으로 수행되는 것이 바람직하다. 예를 들어, 대략 600°C 미하의 온도에서 상기한 열처리를 수행함으로써, 비정질상으로 이루어지는 알루미늄 산화물막(210)을 얻는 것이 바람직하다. 이는 비정질상의 알루미늄 산화물막(210)이 산소의 침입 또는 확산을 억제하는 데, 보다 우수한 특성을 나타낼 수 있어 보다 굳밀한 알루미늄 산화물막(210)을 형성하는 데 유리하기 때문이다.

예를 들어, 상술한 바와 같이 하부 전극(100)을 대략 500°C 정도의 두께를 가지는 TiAIN막으로 형성할 때, 상기한 열처리는 산소 분위기에서 대략 650°C 정도의 온도에서 수행될 수 있다. 이와 같은 열처리에 의해 하부 전극(100)의 표면에 대략 50 Å 정도 두께의 알루미늄 산화물막(210)이 굳밀하게 형성된다.

이와 같이 형성된 알루미늄 산화물막(210)은 상기한 바와 같이 비정질상을 가지므로, 알루미늄 산화물막(210)의 결정화 또는 불순물의 제거를 위해서 추가의 열처리를 수행할 수 있다. 이러한 추가의 열처리는 비활성 가스 분위기 또는 전기 분위기 등에서 수행되는 것이 바람직하다. 이와 같은 결정화를 통해서 알루미늄 산화물막(210)의 유전 성수의 증대를 구현할 수 있다.

이와 같이 형성되는 알루미늄 산화물막(210)은 그 자체의 무전 상수가 실리콘 산화물(SiO_x)의 대략 2배 이상으로 크고, 우수한 누설 전류 특성을 나타낸다. 이에 따라, 커파시터의 유전막으로 이용될 수 있다.

도 2는 알루미늄 산화물막(210) 상에 상부 전극(300)을 형성하는 단계를 개략적으로 나타낸다.

구체적으로, Ru, Pt, Ir, Ti_x 또는 Ta_x 등과 같은 금속, TiN, TiN 또는 WN 등과 같은 금속 질화물, 또는 TiO_x 또는 RuO_x 등과 같은 전도성을 갖는 금속 산화물 등을 알루미늄 산화물막(210) 상에 증착하여 상부 전극(300)을 형성한다. 또는, 알루미늄 산화물막(210) 상에 금속 질화물에 산소 원소가 첨가된 형태인 Ta₂O₅ 또는 Ti₂O₅ 등과 같은 금속 질화산화물을 증착하거나 Ta₂SIN, TaAIN, Ti₂SIN 또는 TiAIN 등과 같은 삼원계 금속 질화물 또는 도핑된 실리콘 등을 증착하여 상부 전극(300)을 형성할 수 있다. 또는 이러한 물질막을 조합하여 다른 구조의 상부 전극(300)을 형성할 수 있다.

도 3은 본 발명의 제2실시예에 의한 반도체 장치의 커파시터 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도이다.

제2실시예에서는 제1실시예에서와는 달리 알루미늄 산화물막(210) 상에 별도의 유전막(230)을 형성하는 단계를 더 포함한다. 제2실시예에서 제1실시예에서와 동일한 참조 부호는 동일한 부재를 의미한다.

도 3을 참조하면, 제1실시예의 도1을 참조하여 설명한 바와 같이 하부 전극(100) 상에 알루미늄 산화물막(210)을 형성한 후, 알루미늄 산화물막(210) 상에 별도의 유전막(230)을 더 형성한다. 별도의 유전막(230)은 고유전율 물질로 형성되어 커파시터가 보다 높은 정전 용량을 구현하도록 한다.

보다 상세하게 설명하면, 도 1에서 설명한 바와 같이 하부 전극(100)을 산소 분위기로 제1열처리하여 알루미늄 산화물막(210)을 형성한다. 이후에, 알루미늄 산화물막(210) 상에 상기 알루미늄 산화물을 보다 높은 유전 상수를 가지는 고유전율 물질 예컨대, Ta_x 또는 Ta_x 등과 같은 금속 산화물 계열이나 (Ba, Sr)TiO₃ 또는 SrTiO₃ 등과 같은 페로브스카이트(Peroxykite) 구조를 가지는 유전 물질을 증착한다. 이와 같이 형성되는 별도의 유전막(230)은 정전 용량의 증가에 도움을 준다.

이후에, 상기한 별도의 유전막(230)의 유전 특성을 최대한 높이기 위해서, 상기 유전막(230)을 제2열처리한다. 바람직하게는 상기 별도의 유전막(230)을 이루는 유전 물질의 결정화 온도 이상에서 상기 제2열처리를 수행하여, 상기 유전막(230)을 결정화시킨다. 예를 들어, Ta_xO₃ 막은 별도의 유전막(230)으로 도입할 경우, 상기한 제2열처리는 대략 700°C 이상의 온도에서 수행되는 것이 바람직하다. 또한, (Ba, Sr)TiO₃ 막은 별도의 유전막(230)으로 도입할 경우, 상기한 제2열처리는 대략 600°C 이상의 온도에서 수행되는 것이 바람직하다. 이때, 상기한 제2열처리는 산소 분위기 또는 질소 등과 같은 비활성 가스를 포함하는 분위기 또는 전기 분위기에서 수행되는 것이 바람직하다.

이와 같이 별도의 유전막(230)을 형성한 이후에, 도 2를 참조하여 설명한 바와 같이 상부 전극(도 2의 300)을 형성하여 커파시터 구조를 완성한다.

도 4 내지 도 5는 본 발명의 제3실시예에 의한 반도체 장치의 커파시터 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도이다.

제3실시예에서 알루미늄이 아닌 금속 원소를 포함하는 금속막(250)을 하부 전극(100)의 표면과 접촉하도록 형성하고, 산소 분위기에서 열처리하여 금속막(250)을 금속 산화물막(210) 및 알루미늄 산화물막(210)을 형성한다. 그리고, 제2실시예에서 제1 및 제2실시예에서와 동일한 참조 부호는 동일한 부재를 의미한다.

도 4는 하부 전극(100) 상에 금속막(250)을 형성하는 단계를 개략적으로 나타낸다.

구체적으로, 도 1을 참조하여 설명한 바와 같이 하부 전극(100)을 형성한다. 이후에, 하부 전극(100) 상에 알루미늄, 마그네슘, 전비, 금속 원소 등으로 이루어지는 금속막(250)을 형성한다. 예를 들어, Ti, Ta_x 또는 Ta_x 등과 같은 전이 금속의 금속막(250)을 형성한다.

도 5는 금속막(250)을 산화시켜 금속 산화물막(250')을 형성하는 단계를 개략적으로 나타낸다.

구체적으로, 금속막(250)이 형성된 결과물을 산소 분위기를 수반하는 열처리한다. 예를 들어, 건조 산소,

또는 습한 산소 등을 산소 분위기로 이용하거나, 금속 열적 산화법 등을 이용할 수 있다. 이때 열처리 온도는 대략 500°C 내지 1000°C 정도의 온도가 적절하다. 이러한 열처리는 플라즈마 산소 또는 오존 자외선 조사로 수반하는 오존 등을 이용하여 대략 200°C 내지 대략 800°C 정도의 온도로 열처리를 수행할 수 있다. 또는 열거한 열처리들은 연계 조합하여 다단계로 열처리를 수행할 수 있다.

이에 따라 금속막(250)은 산화되어 금속 산화물막(250')으로 전환된다. 예를 들어 TiO_x 또는 Ta_xO_y 등으로 이루어지는 금속 산화물막(250')으로 전환된다. 이와 같은 금속 산화물막(250')은 비교적 높은 유전 상수를 나타내므로 커패시터의 유전막으로 이용될 수 있다.

이때, 살기한 금속막(250)의 산화와 병행하여 하부의 하부 전극(100)의 표면에도 산화 반응이 발생한다. 하부 전극(100)은 도 1을 참조하여 설명한 바와 같이 N-Al-N막으로 이루어지므로, 살기한 산화 반응에 의해 서 앞서 설명한 바와 같이 그 표면에 알루미늄 산화물막(210)이 우선적으로 형성된다.

이와 같은 알루미늄 산화물막(210)은 도 1을 참조하여 설명한 바와 같이, 알루미늄 산화물의 우선적인 산화 및 산소의 확산 또는 침입 억제의 특성에 의해 하부 전극(100)과 금속 산화물막(250')의 계면에 암고 굳밀하게 형성될 수 있다.

이후에 금속 산화물막(250') 상에 도 2를 참조하여 설명한 바와 같이 상부 전극을 형성한다.

도 6 내지 도 7은 본 발명의 제4실시예에 의한 반도체 장치의 커패시터 제조 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

제4실시예에서는 제1 및 제3실시예에서와는 달리 별도의 유전막(230)을 도입하고 있으며, 제2실시예에서와는 달리 별도의 유전막(230)을 형성한 후 알루미늄 산화물막(210)을 형성하는 열처리를 수행한다. 제4실시예에서 제1, 제2 및 제3실시예에서와 동일한 참조 부호는 동일한 부재를 의미한다.

도 6은 하부 전극(100) 상에 별도의 유전막(230)을 형성하는 단계를 개략적으로 나타낸다.

구체적으로 도 1을 참조하여 설명한 바와 같이 하부 전극(100)을 N-Al-N막 등으로 형성한다. 이어서 하부 전극(100) 상에 도 3을 참조하여 설명한 바와 같이 별도의 유전막(230)을 형성한다. 이때, 도 3을 참조하여 설명한 바와는 달리 하부 전극(100)의 표면에 별도의 유전막(230)이 접촉하도록 형성한다.

즉, 알루미늄 산화물막(도 3의 210)의 개재 없이 하부 전극(100) 상에 알루미늄 산화물보다 높은 유전 상수를 가지는 고유전율 물질, 예컨대, Ta_xO_y 또는 Ti_xO_y 등과 같은 금속 산화물 계열이나 (Ba, Sr)TiO₃ 또는 SrTiO₃ 등과 같은 페로브스카이트 구조를 가지는 유전 물질을 증착하여 별도의 유전막(230)을 형성한다.

도 7은 산소 분위기의 열처리를 수행하여 알루미늄 산화물막(210)을 형성하는 단계를 개략적으로 나타낸다.

구체적으로 별도의 유전막(230)이 형성된 결과를 상에 산소 분위기의 열처리를 수행한다. 이와 같은 열처리에 의해 유전막(230)과 하부 전극(100)의 계면에는 산소 반응에 의해 하부 전극(100)에 함유된 알루미늄이 우선적으로 산화되어 굳밀한 알루미늄 산화물막(210)이 형성된다. 이어서 유전막(230) 상에 상부 전극을 도 2를 참조하여 설명한 바와 같이 형성한다.

이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당분야의 통상의 지식을 기준자에 의해 그 변형이나 개량이 가능할지 명백하다.

본명의 조항

장술한 본 발명에 따르면, 알루미늄을 함유하는 금속 알루미늄 산화물막으로 하부 전극을 형성하고, 하부 전극의 표면에 산소 분위기로 수반하는 열처리에 의한 규밀한 알루미늄 산화물막을 형성할 수 있다. 알루미늄은 우선적인 산화 특성과 산소의 침입 또는 확산 억제 특성을 가지므로, 하부 전극에 함유된 다른 금속 원소의 산화를 억제하여 굳밀한 알루미늄 산화물막의 형성이 구현된다. 이에 따라, 보다 규밀한 커패시터의 유전막을 구현할 수 있어, 커패시터의 정전 용량을 증대시킬 수 있다.

(5) 첨구의 범위

첨구항 1

반도체 기판 상에 알루미늄 원소, 질소 원소 및 삼기 알루미늄이 아닌 다른 금속 원소를 함유하는 도전막으로 하부 전극을 형성하는 단계.

상기 하부 전극을 산소 분위기에서 열처리하여 상기 도전막에 함유된 알루미늄의 우선적인 산화를 이용하여 상기 하부 전극 상에 알루미늄 산화물막을 형성하는 단계, 및

상기 유전막 상에 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 커패시터 제조 방법.

첨구항 2

제1항에 있어서, 상기 상부 전극을 형성하는 단계 이전에,

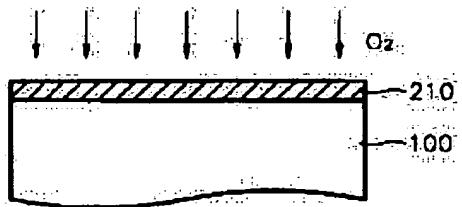
상기 알루미늄 산화물막과 상기 상부 전극의 계면에 별도의 유전막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 커패시터 제조 방법.

첨구항 3

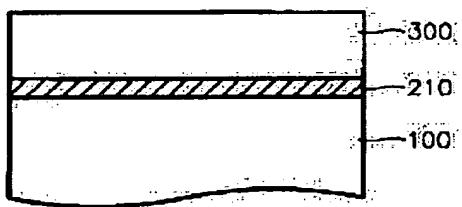
제1항에 있어서, 상기 압류마늄 산화물막을 형성하는 단계는
상기 하부 전극을 형성하는 단계 이후에 수행되거나 상기 별도의 유전막을 형성하는 단계 이후에 수행되는
것을 특징으로 하는 반도체 장치의 커패시터 제조 방법

도면1

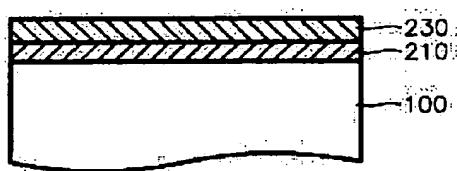
도면1



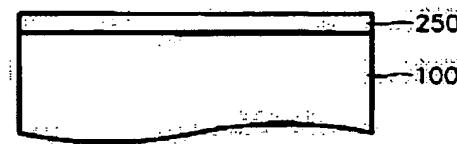
도면2



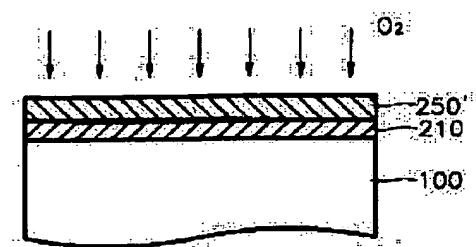
도면3



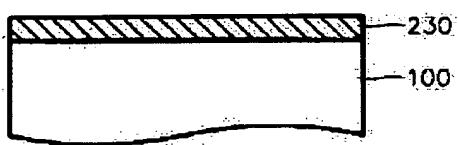
도면4



505



506



507

